

Polytech'Montpellier - ERII 4 M2 EEA - Systèmes Microélectroniques

Circuits Intégrés Analogiques
Chapitre II
Modèles, Simulation & Structures Élémentaires
Pascal Nouet - Octobre 2009
nouet@lirmm.fr



Plan



- Rappels de physique du composant
 - Silicium monocristallin
 - Jonction PN
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

Silicium monocristallin



- Intrinsèque ($n_n = n_p$) $n_i = 1,5 \cdot 10^{10}$ porteurs/cm³ @ 300K
- Densité double chaque fois que la température augmente de 11°C
- Dopage Phosphore ou arsenic
 - électrons libres en excès
 - charge négative ou donneurs
 - type N
- Dopage Bore
 - trous libres en excès
 - charge positive ou accepteurs
 - type P

$$p_n = \frac{n_i^2}{N_D}$$

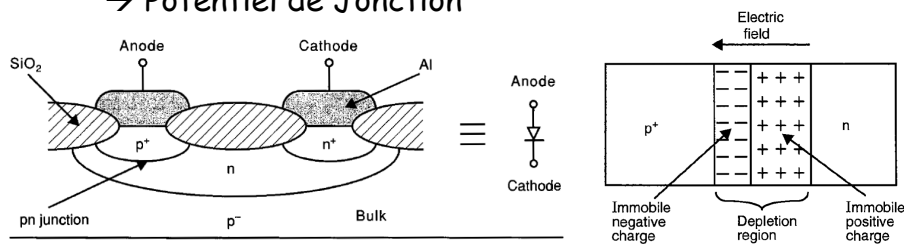
$$n_p = \frac{n_i^2}{N_A}$$

Jonction PN



- Diode non polarisée
 - diffusion d'un trou vers la zone N
 - recombinaison avec un électron libre → charge +
 - diffusion d'un électron vers la zone P
 - recombinaison avec un trou libre → charge -
 - Apparition d'une différence de potentiel et d'un champ électrique s'opposant à la diffusion
 - Potentiel de Jonction

$$\Phi_0 = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$$



Jonction PN



- Largeur de la zone de déplétion



$$X_n \cong \sqrt{\frac{2\varepsilon_0\varepsilon_r\Phi_0}{q} \frac{N_A}{N_D(N_A + N_D)}} \quad X_p \cong \sqrt{\frac{2\varepsilon_0\varepsilon_r\Phi_0}{q} \frac{N_D}{N_A(N_A + N_D)}}$$

- Cas d'une diode P+N ($N_A \gg N_D$)
- Cas d'une diode N+P ($N_D \gg N_A$)
- Effet d'une polarisation inverse
 - S'ajoute au potentiel de jonction
 - Augmente la largeur des zones de déplétion
→ Φ_0 est remplacé par $V_r + \Phi_0$

Plan

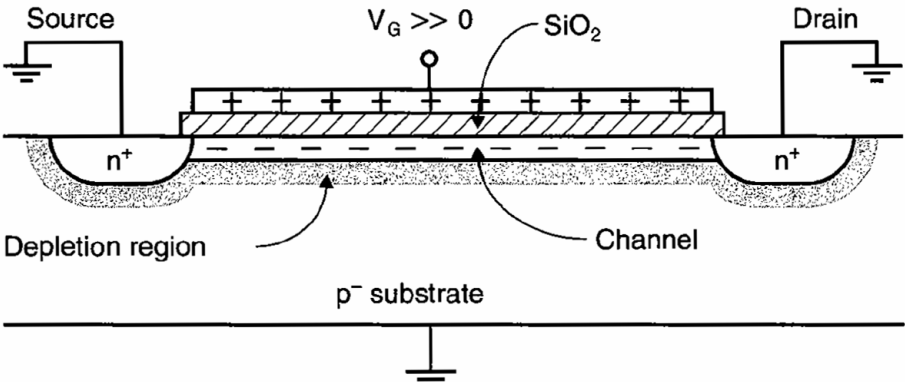




- Rappels de physique du composant
- Modélisation du transistor MOS
 - Le transistor MOS à canal N
 - Modèle fort-signal
 - Modèle petit-signal
 - Modèles du transistor MOS à canal P
 - Dimensions et capacités
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

Modèle fort-signal du MOS N

- Fonctionnement du MOS
 - Bloqué $V_{gs} - V_{tn} < 0$
 - Passant $V_{gs} - V_{tn} > 0$



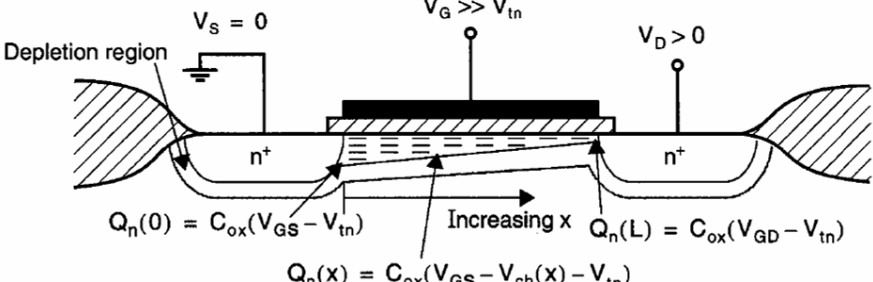




Modèle fort-signal du MOS N


- Régimes de fonctionnement
 - Le transistor MOS en régime linéaire

$V_{gs} - V_{tn} > 0; V_{ds} > 0$ et $V_{gs} - V_{tn} > V_{ds}$

$$I_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{tn}) \cdot V_{ds}$$





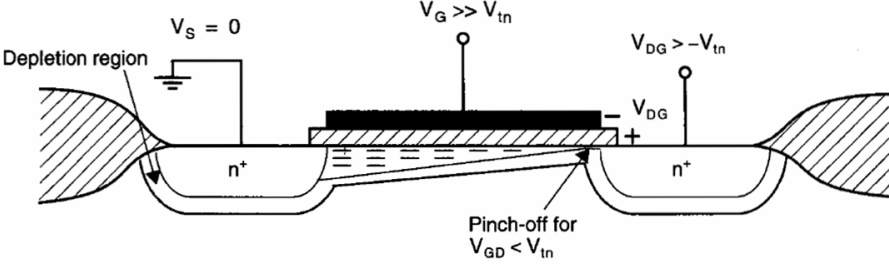



Modèle fort-signal du MOS N


- Régimes de fonctionnement
 - Le transistor MOS en régime saturé

$$V_{gs} - V_{tn} > 0; V_{ds} > 0 \text{ et } V_{gs} - V_{tn} < V_{ds}$$

$$I_{dsat} = \frac{\mu_n C_{ox} W}{2 L} (V_{gs} - V_{tn})^2 = \frac{\mu_n C_{ox} W}{2 L} V_{eff}^2 \text{ avec } V_{eff} = V_{gs} - V_{tn}$$





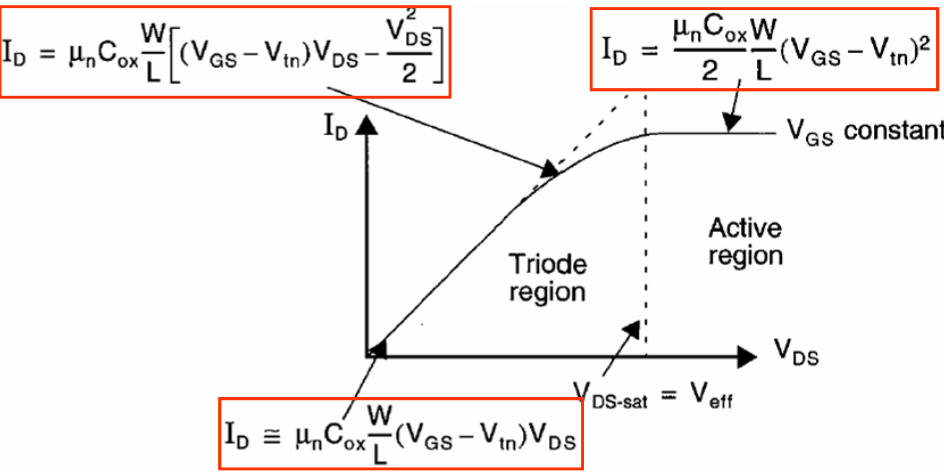


Modèle fort-signal du MOS N


- Modèle au premier ordre


$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{tn})^2$$



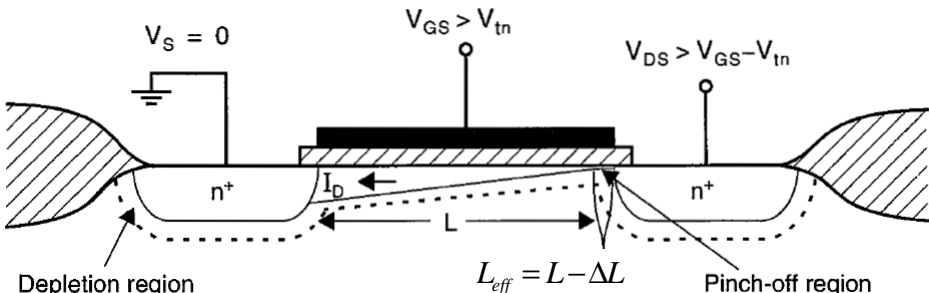
$$I_D \equiv \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn}) V_{DS}$$







Modèle fort-signal du MOS N

- Prise en compte de la résistance du canal en régime saturé ($V_{ds} > V_{eff}$)
 - Pincement du canal
 - Zone de déplétion
 - Réduction de la longueur du MOS







Modèle fort-signal du MOS N

- Prise en compte de la résistance du canal en régime saturé ($V_{ds} > V_{eff}$)
 - Réduction de la longueur du MOS
 - Largeur de la zone de déplétion dans la zone la moins dopée (substrat P pour un MOS N)

$$X_d = \Delta L = \sqrt{\frac{2\epsilon_0\epsilon_r(V_r + \Phi_0)}{qN_a}} \quad \text{avec} \quad \begin{cases} \epsilon_0 = 8,854 \cdot 10^{-12} \text{ F/m} \\ \epsilon_r = 11,8 \text{ (Si)} \\ \Phi_0 = \frac{kT}{q} \ln\left(\frac{N_a N_d}{n_i^2}\right) \end{cases}$$

$$V_r = V_{ds} - V_{eff} \Rightarrow L_{eff} = L - k_{ds} \sqrt{V_{ds} - V_{eff} + \Phi_0} \quad \text{avec} \quad k_{ds} = \sqrt{\frac{2\epsilon_0\epsilon_r}{qN_a}}$$

Modèle fort-signal du MOS N



- Prise en compte de la résistance du canal en régime saturé ($V_{ds} > V_{eff}$)
 - Etude de l'effet d'une variation de V_{ds} sur le courant

$$I_{ds} = I_{dsat} + \frac{\partial I_{ds}}{\partial L_{eff}} \frac{\partial L_{eff}}{\partial V_{ds}} \Delta V_{ds}$$

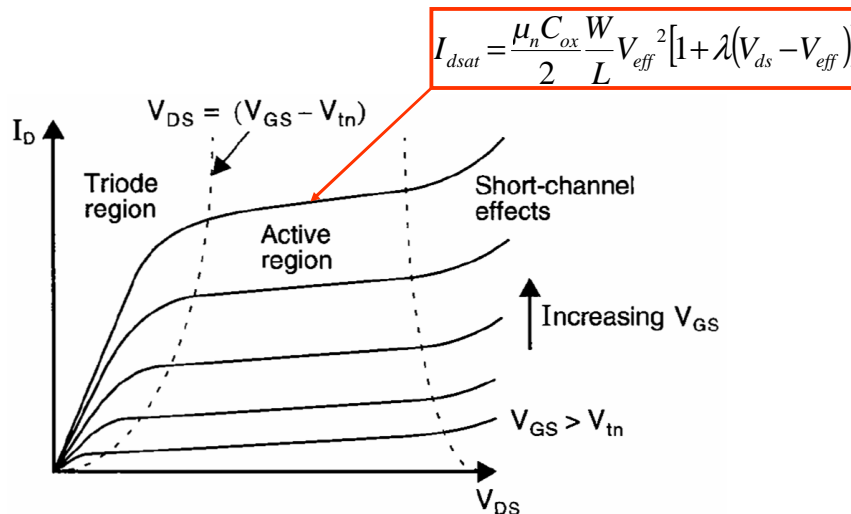
$$\left\{ \begin{array}{l} \frac{\partial I_{ds}}{\partial L_{eff}} = -\frac{\mu_n C_{ox}}{2} \frac{W}{L_{eff}^2} V_{eff}^2 = -\frac{I_{dsat}}{L_{eff}} \\ \frac{\partial L_{eff}}{\partial V_{ds}} = -\frac{1}{2} \frac{k_{ds}}{\sqrt{V_{ds} - V_{eff} + \Phi_0}} \\ \Delta V_{ds} = V_{ds} - V_{eff} \end{array} \right.$$

$$I_{ds} = I_{dsat} [1 + \lambda (V_{ds} - V_{eff})] \quad \text{avec} \quad \lambda = \frac{k_{ds}}{2L_{eff} \sqrt{V_{ds} - V_{eff} + \Phi_0}} \quad k_{ds} = \sqrt{\frac{2\epsilon_0 \epsilon_r}{qN_a}}$$

Modèle fort-signal du MOS N



- Effets de canal court



Modèle fort-signal du MOS N



- Prise en compte de la polarisation du substrat
 - Le canal est réputé existant lorsque la densité de trous et la densité d'électrons sont identiques. On a alors une densité d'électron $N_D = n_i$ dans le canal.
 - Un potentiel de travail apparaît alors entre le canal et le substrat P (densité de trous N_A) :

$$\Phi_0 = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) \Rightarrow \phi_f = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

- V_{tn} augmente lorsque le substrat est polarisé négativement par rapport à la source du transistor


$$V_{tn} = V_{m0} + \gamma \left(\sqrt{V_{sb} + |2\phi_f|} - \sqrt{|2\phi_f|} \right) \quad \text{avec} \quad \gamma = \frac{\sqrt{2qN_A \epsilon_0 \epsilon_r}}{C_{ox}}$$

Plan



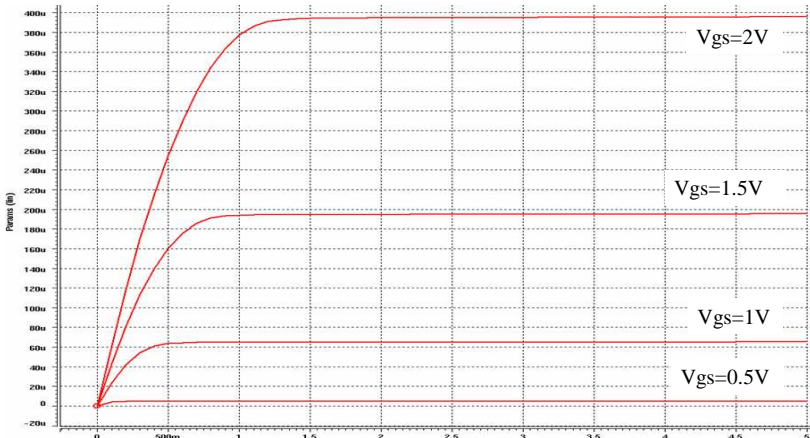
- Rappels de physique du composant
- Modélisation du transistor MOS
 - Le transistor MOS à canal N
 - Modèle fort-signal
 - Modèle petit-signal
 - Modèles du transistor MOS à canal P
 - Dimensions et capacités
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

Modèle petit signal (BF) du transistor NMOS saturé




- Effet d'une petite variation de V_{gs} sur le courant drain-source

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} V_{eff}^2 [1 + \lambda(V_{ds} - V_{eff})]$$



Modèle petit signal (BF) du transistor NMOS saturé

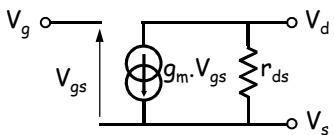


- Effet d'une petite variation de V_{gs} sur le courant drain-source

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} V_{eff}^2 [1 + \lambda(V_{ds} - V_{eff})]$$

$$\frac{\partial I_{dsat}}{\partial V_{gs}} = \mu_n C_{ox} \frac{W}{L} V_{eff} = g_m \quad \text{avec } V_{eff} = V_{gs} - V_m \quad \Rightarrow \quad g_m = \frac{2 \cdot I_{dsat}}{V_{eff}}$$

- Effet d'une petite variation de V_{ds} sur le courant drain-source



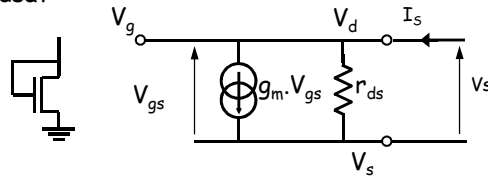
$$\frac{\partial I_{ds}}{\partial V_{ds}} = \lambda \frac{\mu_n C_{ox}}{2} \frac{W}{L} V_{eff}^2 \cong \lambda I_{dsat} = \lambda \frac{g_m}{2} V_{eff} = \frac{1}{r_{ds}}$$

Modèle petit signal (BF) du transistor NMOS saturé



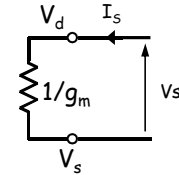
- Cas particulier grille connectée au drain

$$\begin{aligned} \rightarrow V_{ds} &= V_{gs} \\ \rightarrow V_{ds} &> V_{dsat} \end{aligned}$$



$$\begin{aligned} I_s &= \frac{V_s}{r_{ds}} + g_m \cdot V_s \approx g_m \cdot V_s \\ \frac{V_s}{I_s} &= \frac{1}{g_m} \end{aligned}$$

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{dsat}}$$

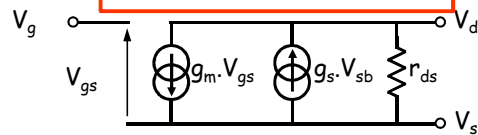


Modèle petit signal (BF) du transistor NMOS saturé

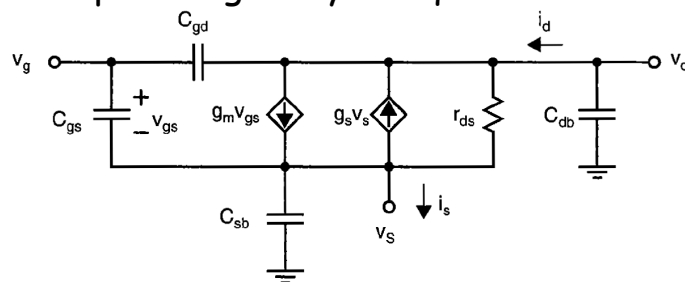


- Effet d'une petite variation de la polarisation du substrat

$$\frac{\partial I_{ds}}{\partial V_{sb}} = -g_s = \frac{-\gamma \cdot g_m}{2\sqrt{V_{sb} + |2\phi_f|}}$$



- Modèle petit-signal dynamique



Plan



- Rappels de physique du composant
- Modélisation du transistor MOS
 - Le transistor MOS à canal N
 - Modèle fort-signal
 - Modèle petit-signal
 - Modèles du transistor MOS à canal P
 - Dimensions et capacités
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

Modèle fort signal du MOS P



- Modélisation du transistor à canal P
 - Etat passant : $V_{gs} - V_{tp} < 0; V_{ds} < 0$ avec $V_{tp} < 0$ et $V_{gs} < 0$
 - En posant : $V_{eff} = |V_{gs} - V_{tp}| = |V_{gs}| - |V_{tp}|$

on retrouve les mêmes équations que pour le transistor à canal N

- Régime linéaire :

$$|I_{ds}| = \mu_p C_{ox} \frac{W}{L} V_{eff} \cdot |V_{ds}|$$

- Régime saturé :

$$|I_{ds}| = \frac{\mu_p C_{ox} W}{2 L} V_{eff}^2 [1 + \lambda (|V_{ds}| - V_{eff})]$$

Par soucis de simplification, on omet souvent les valeurs absolues

Modèle fort signal du MOS P



- Prise en compte de la polarisation du substrat
 - Pour un transistor à canal P, V_{tp} augmente (en valeur absolue) lorsque le substrat est polarisé positivement par rapport à la source du transistor

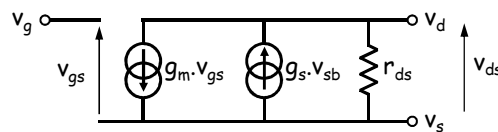
$$|V_{tp}| = |V_{tp0}| + \gamma \left(\sqrt{|V_{bs} + 2\phi_f|} - \sqrt{|2\phi_f|} \right) \quad \text{avec} \quad \gamma = \frac{\sqrt{2qN_D\epsilon_0\epsilon_r}}{C_{ox}}$$

- N_D = dopage du puit N

Modèle petit signal du transistor PMOS saturé



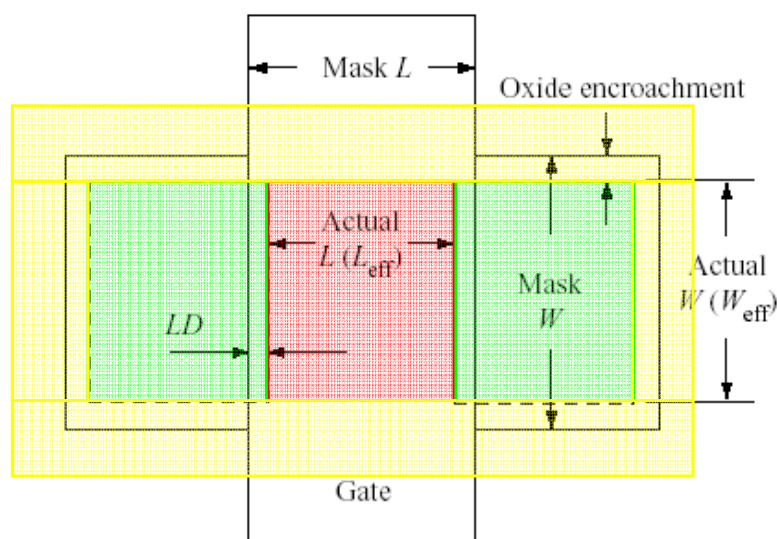
- Une augmentation (en valeur absolue) de V_{gs} (diminution de V_g) se traduit par une augmentation du courant drain-source
 - g_m est positif ($v_{gs} < 0$)
- Une diminution de $V_s \rightarrow$ effet substrat tendant à augmenter la tension de seuil (en valeur absolue) \rightarrow diminution du courant drain-source
 - g_s est positif ($v_{sb} < 0$)





Plan

- Rappels de physique du composant
- Modélisation du transistor MOS
 - Le transistor MOS à canal N
 - Modèle fort-signal
 - Modèle petit-signal
 - Modèles du transistor MOS à canal P
 - Dimensions et capacités
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

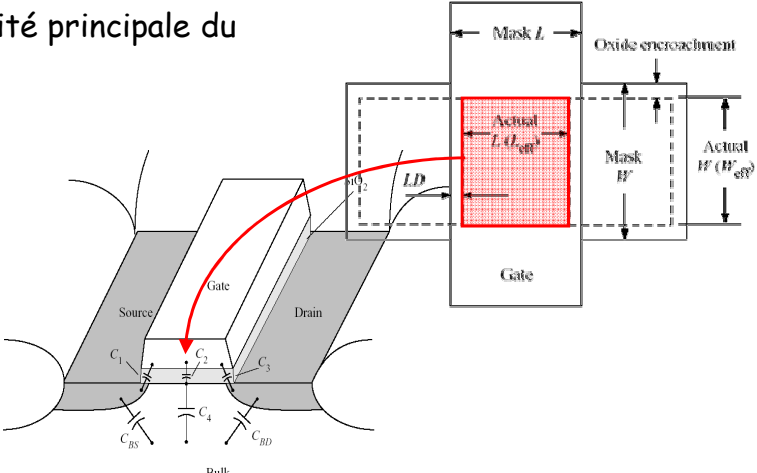
Dimensions et capacités








Dimensions et capacités

- Capacité principale du MOS

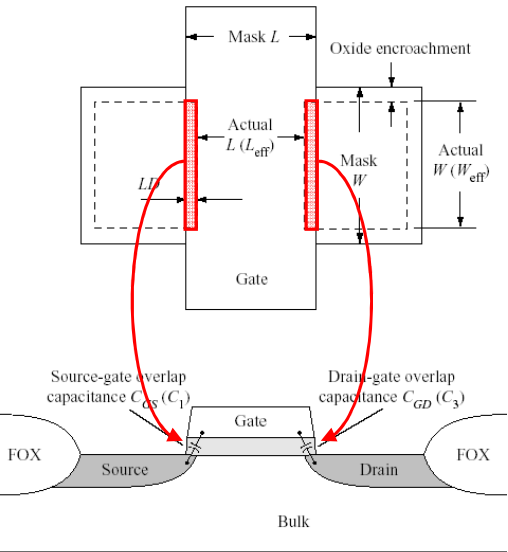


$$C_2 = W_{eff} \cdot (L - 2\Delta L) \cdot C_{ox} = W_{eff} \cdot L_{eff} \cdot C_{ox}$$

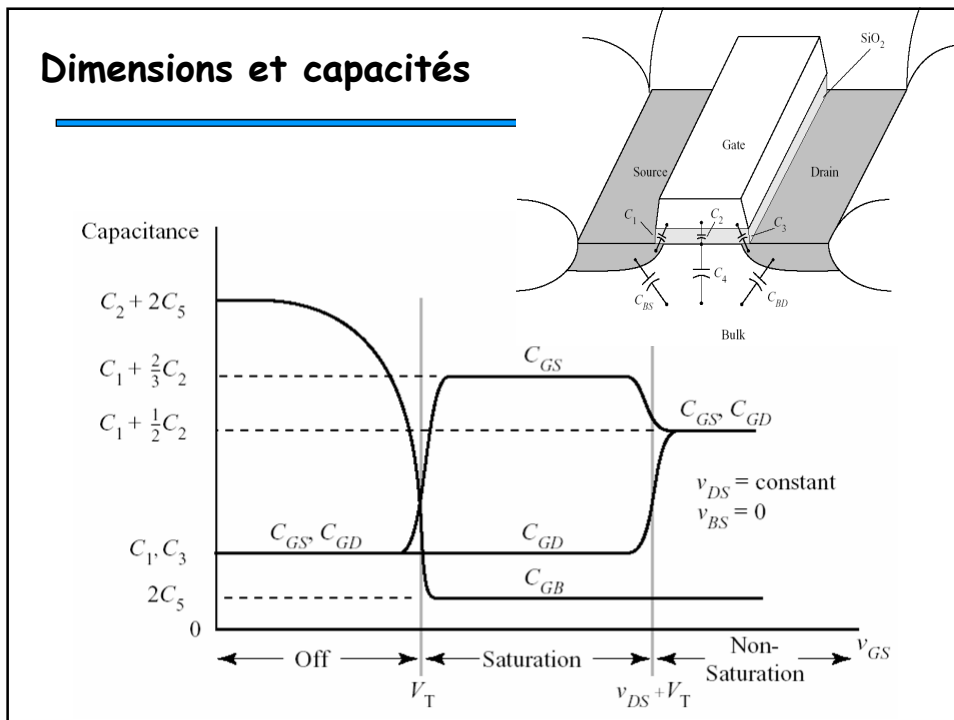
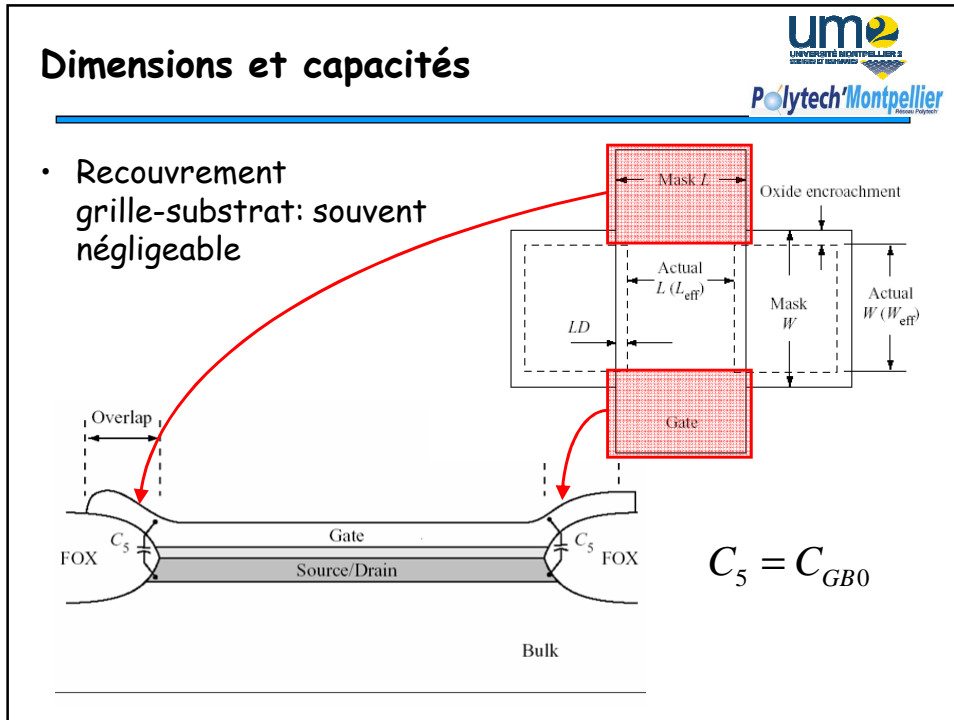
Dimensions et capacités

- Recouvrement grille-source et grille-drain



$$C_1 = C_3 = \Delta L \cdot W_{eff} \cdot C_{ox}$$

$$C_{GS0} = C_{GD0} = \Delta L \cdot C_{ox}$$



Plan



- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
 - Carte modèle du NMOS
 - Transistor MOS à canal N
 - Caractéristiques statiques
 - Simulation vs modèle au 1er ordre
 - En régime linéaire
 - En régime saturé
 - Layout vs simulation
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

Carte modèle NMOS (1/6)



- En-tête
 - **.MODEL MODN NMOS LEVEL=49**
 - * -----
 - ******* SIMULATION PARAMETERS *******
 - * -----
 - * **format** : HSPICE
 - * **model** : **MOS BSIM3v3**
 - * **process** : **C35 AMS**
 - * **revision** : 3.1;
 - * **extracted** : B10866 ; 2002-12; ese(487)
 - * **doc#** : ENG-182 REV_3
 - * -----
 - * **TYPICAL MEAN CONDITION**
 - * -----

Carte modèle NMOS (2/6)



- Flags
 - MOBMOD =1.000e+00 CAPMOD =2.000e+00
NOIMOD =3.000e+00 VERSION=3.11
- Threshold voltage related model parameters
 - K1 =5.0296e-01 K2 =3.3985e-02 K3 =-1.136e+00
K3B =-4.399e-01 NCH =2.611e+17 VTH0 =4.979e-01
VOFF =-8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00
DVT2 =-8.375e-03 KETA =2.032e-02 PSCBE1 =3.518e+08
PSCBE2 =7.491e-05 DVTOW =1.089e-01 DVT1W =6.671e+04
DVT2W =-1.352e-02
- Mobility related model parameters ***
 - UA =4.705e-12 UB =2.137e-18 UC =1.000e-20
U0 =4.758e+02

Carte modèle NMOS (3/6)



- Subthreshold related parameters
 - DSUB =5.000e-01 ETAO =1.415e-02 ETAB =-1.221e-01
NFACTOR=4.136e-01
- Saturation related parameters
 - EM =4.100e+07 PCLM =6.948e-01 PDIBLC1=3.571e-01
PDIBLC2=2.065e-03 DROUT =5.000e-01 A0 =2.541e+00
A1 =0.000e+00 A2 =1.000e+00 PVAG =0.000e+00
VSAT =1.338e+05 AGS =2.408e-01 B0 =4.301e-09
B1 =0.000e+00 DELTA =1.442e-02 PDIBLCB=3.222e-01
- Geometry modulation related parameters
 - W0 =2.673e-07 DLC =3.0000e-08 DWC =9.403e-08
DWB =0.000e+00 DWG =0.000e+00 LL =0.000e+00
LW =0.000e+00 LWL =0.000e+00 LLN =1.000e+00
LWN =1.000e+00 WL =0.000e+00 WW =-1.297e-14
WWL =-9.411e-21 WLN =1.000e+00 WWN =1.000e+00

Carte modèle NMOS (4/6)



- Temperature effect parameters
 - TNOM =27.0 AT =3.300e+04 UTE =-1.800e+00
 - KT1 =-3.302e-01 KT2 =2.200e-02 KT1L =0.000e+00
 - UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
 - PRT =0.000e+00
- Overlap capacitance related and dynamic model parameters
 - CGDO =1.200e-10 CGSO =1.200e-10 CGBO =1.100e-10
 - CGDL =1.310e-10 CGSL =1.310e-10 CKAPPA =6.000e-01
 - CF =0.000e+00 ELM =5.000e+00 XPART =1.000e+00
 - CLC =1.000e-15 CLE =6.000e-01
- Parasitic resistance and capacitance related model parameters
 - RDSW =3.449e+02 CDSC =0.000e+00 CDSCB =1.500e-03
 - CDSCD =1.000e-03 PRWB =-2.416e-01 PRWG =0.000e+00
 - CIT =4.441e-04

Carte modèle NMOS (5/6)



- Process and parameters extraction related model parameters
 - TOX =7.575e-09 NGATE =0.000e+00
 - NLX =1.888e-07 XL =0.000e+00 XW =0.000e+00
- Substrate current related model parameters
 - ALPHA0 =0.000e+00 BETA0 =3.000e+01
- Noise effect related model parameters
 - AF =1.507e+00 KF =2.170e-26 EF =1.000e+00
 - NOIA =1.121e+19 NOIB =5.336e+04 NOIC =-5.892e-13

Carte modèle NMOS (6/6)



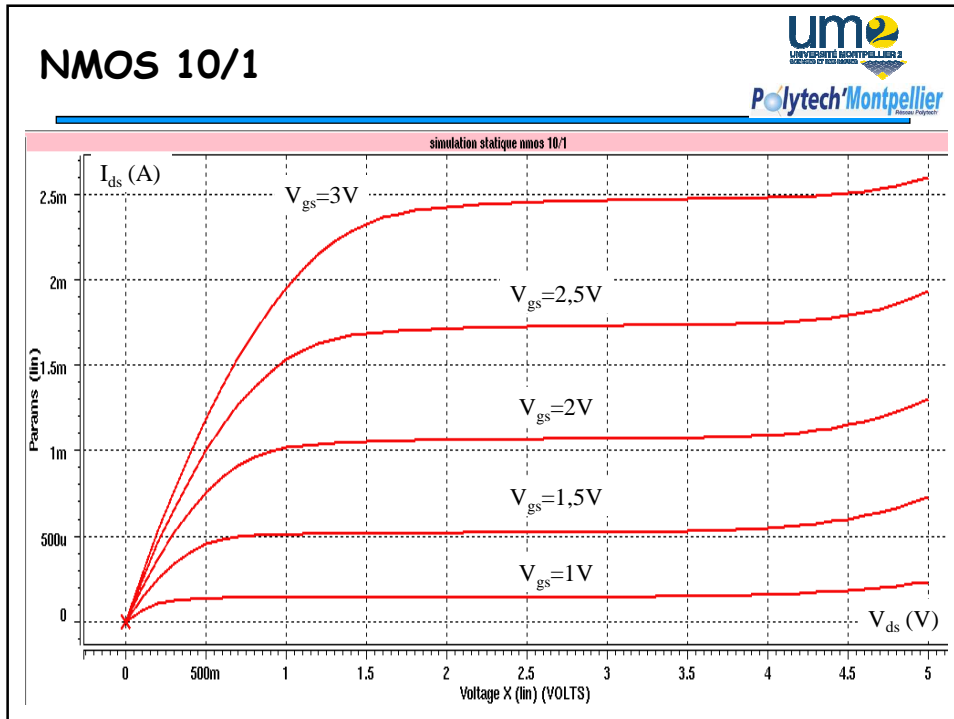
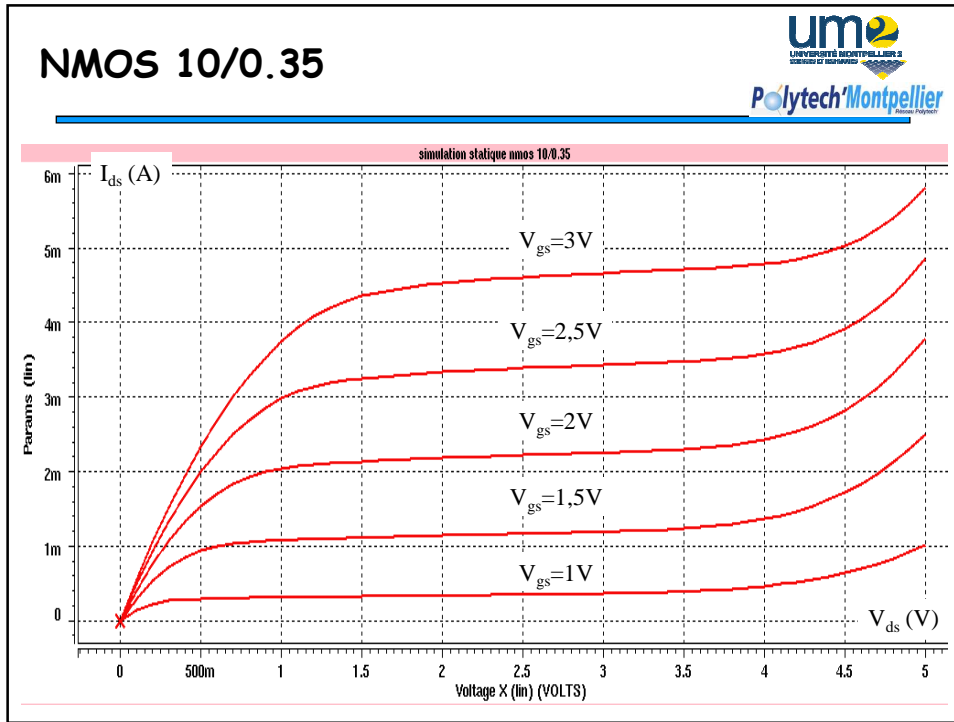
- Common extrinsic model parameters

- ACM =2	RD =0.000e+00	RS =0.000e+00
RSH =7.000e+01	RDC =0.000e+00	RSC =0.000e+00
LINT =-5.005e-08	WINT =9.403e-08	LDIF =0.000e+00
HDIF =8.000e-07	WMLT =1.000e+00	LMLT =1.000e+00
XJ =3.000e-07	JS =1.000e-05	JSW =0.130e-09
IS =0.000e+00	N =1.000e+00	NDS =1000
VNDS =-1.000e+00	CBD =0.000e+00	CBS =0.000e+00
CJ =9.400e-04	CJSW =2.500e-10	FC =0.000e+00
MJ =3.400e-01	MJSW =2.300e-01	XTI =2.026e+00
TT =0.000e+00	PB =6.900e-01	PHP =6.900e-01

Plan



- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
 - Carte modèle du NMOS
 - Transistor MOS à canal N
 - Caractéristiques statiques
 - Simulation vs modèle au 1er ordre
 - En régime linéaire
 - En régime saturé
 - Layout vs simulation
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

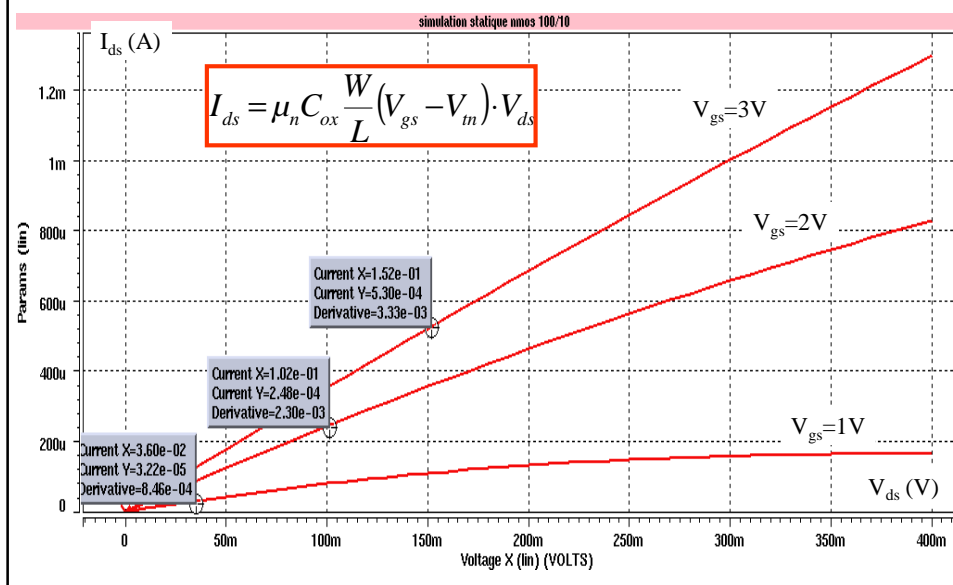



Plan




- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
 - Carte modèle du NMOS
 - Transistor MOS à canal N
 - Caractéristiques statiques
 - Simulation vs modèle au 1er ordre
 - En régime linéaire
 - En régime saturé
 - Layout vs simulation
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

NMOS 100/10 en régime linéaire







NMOS 100/10 en régime linéaire

V_{gs} (V)	1	2	3
V_{eff} (V)	0.5	1.5	2.5
dI_d/dV_d (A/V)	8.46e-4	2.3e-3	3.33e-3
$\mu_n C_{ox} \cdot W/L$	1.69e-3	1.53e-3	1.33e-3

$V_{TH0} = 4.979e-01$

$U_0 = 4.758e+02 \text{ cm}^2/Vs = 4.758e+10 \text{ } \mu\text{m}^2/Vs$

$TOX = 7.575e-09 \text{ m}^{-1}$

$\epsilon_0 = 8.85e-12 \text{ F/m}$

$\epsilon_r = 3.9$


$$\frac{\partial I_d}{\partial V_d} = \mu_n C_{ox} \frac{W}{L} V_{eff}$$


$$C_{ox} = \frac{\epsilon_0 \epsilon_r}{TOX} = 4,56 \text{ fF} / \mu\text{m}^2$$

$\mu_n \cdot C_{ox} = 216 \text{ } \mu\text{A/V}^2$

 \longleftrightarrow

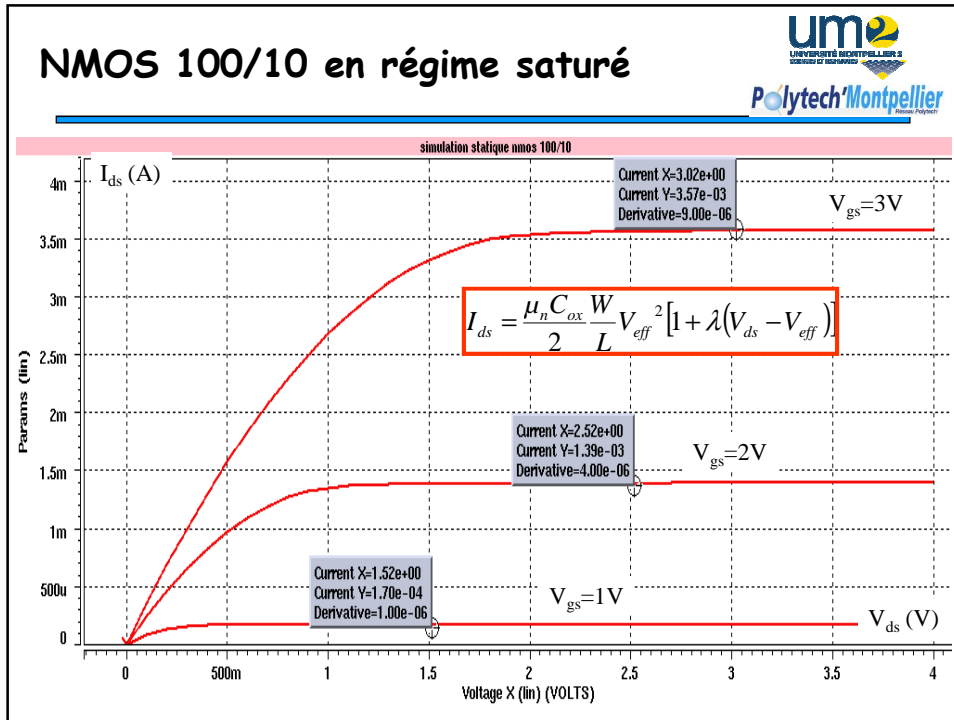
$\mu_n \cdot C_{ox} = 150 \text{ } \mu\text{A/V}^2$







Plan

- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
 - Carte modèle du NMOS
 - Transistor MOS à canal N
 - Caractéristiques statiques
 - Simulation vs modèle au 1er ordre
 - En régime linéaire
 - En régime saturé
 - Layout vs simulation
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor



NMOS 100/10 en régime saturé





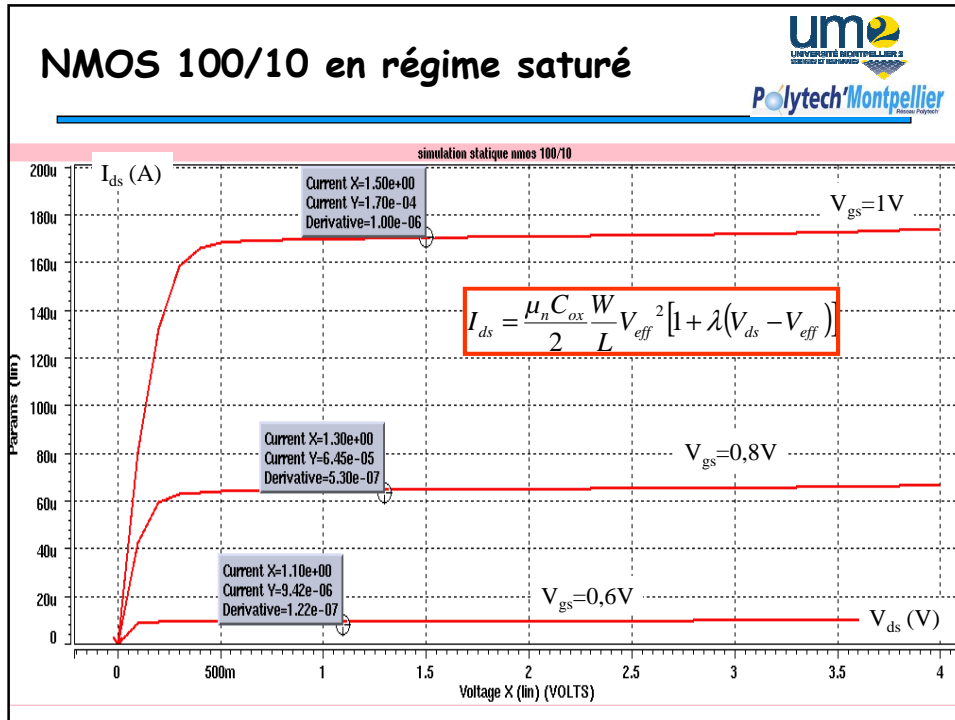
V_{eff} (V)	0.5	1.5	2.5
I_{dsat} (mA)	0.17	1.39	3.57
dI_{ds}/dV_{ds} ($\mu A/V$)	1	4	9
λ (V^{-1})	$5.88e-3$	$2.88e-3$	$2.52e-3$
$\mu_n C_{ox} \cdot W/L$	$1.36e-3$	$1.24e-3$	$1.14e-3$

$$\frac{\partial I_{ds}}{\partial V_{ds}} \cong \lambda_{dsat}$$


$$I_{dsat} = \frac{\mu_n C_{ox} W}{2 L} V_{eff}^2$$

$\lambda = 3e-3 V^{-1}$

$\mu_n \cdot Cox = 120 \mu A/V^2$



NMOS 100/10 en régime saturé



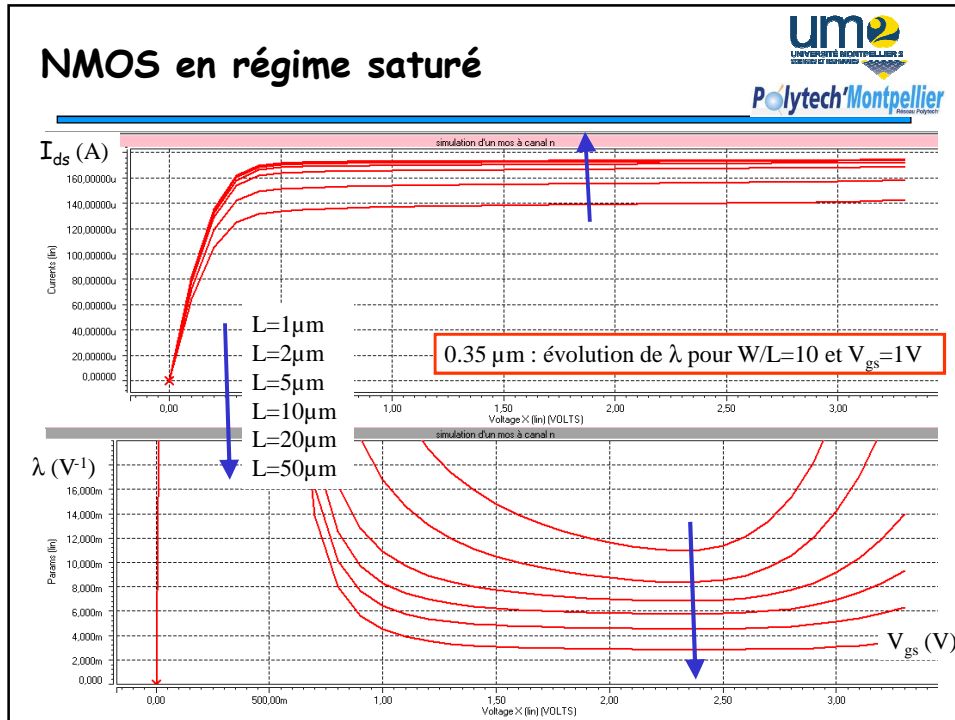
V_{eff} (V)	0.1	0.3	0.5
I_{dsat} (μA)	9.42	64.5	170
dI_{ds}/dV_{ds} ($\mu A/V$)	0.122	0.53	1
λ (V^{-1})	$13.0e-3$	$8.22e-3$	$5.88e-3$
$\mu_n C_{ox} \cdot W/L$	$1.88e-3$	$1.43e-3$	$1.36e-3$

$\frac{\partial I_{ds}}{\partial V_{ds}} \cong \lambda_{dsat}$


$I_{dsat} = \frac{\mu_n C_{ox} W}{2 L} V_{eff}^2$


$\lambda = 10e-3 V^{-1}$

$\mu_n \cdot C_{ox} = 140 \mu A/V^2$



NMOS en régime saturé

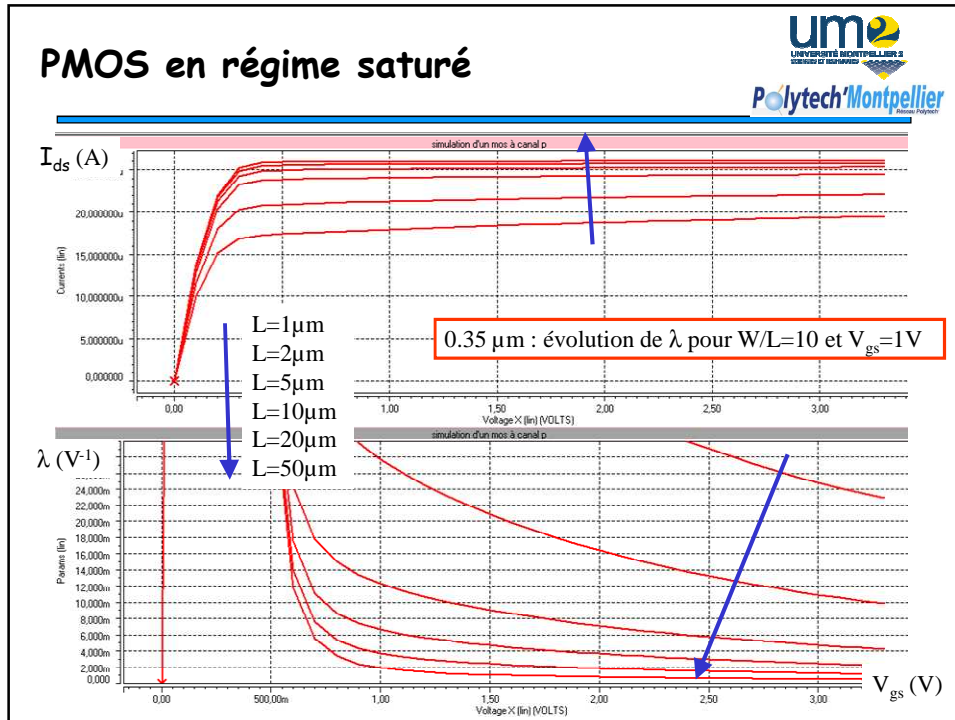





0.35 μm : évolution de λ pour $W=20\mu\text{m}$

V_{gs} (V)	0,6	1	1,4	1,8	2,2	2,6	3
V_{eff} (V)	0,1	0,5	0,9	1,3	1,7	2,1	2,5
$L=5\mu\text{m}$	3,37E-02	1,52E-02	7,77E-03	4,35E-03	3,03E-03	2,73E-03	2,98E-03
$L=10\mu\text{m}$	2,07E-02	9,95E-03	5,46E-03	3,35E-03	2,47E-03	2,20E-03	2,27E-03
$L=15\mu\text{m}$	1,53E-02	7,85E-03	4,54E-03	2,93E-03	2,22E-03	1,96E-03	1,97E-03
$L=20\mu\text{m}$	1,23E-02	6,63E-03	3,98E-03	2,67E-03	2,06E-03	1,80E-03	1,79E-03

- Pour $L=10\mu\text{m}$, on trouve aussi :
 - $V_{eff}=0,2\text{V} \rightarrow \lambda=16,8e-3 \text{ V}^{-1}$
 - $V_{eff}=0,25\text{V} \rightarrow \lambda=15,3e-3 \text{ V}^{-1}$
 - $V_{eff}=0,4\text{V} \rightarrow \lambda=11,7e-3 \text{ V}^{-1}$
 - $V_{eff}=1\text{V} \rightarrow \lambda=4,79e-3 \text{ V}^{-1}$



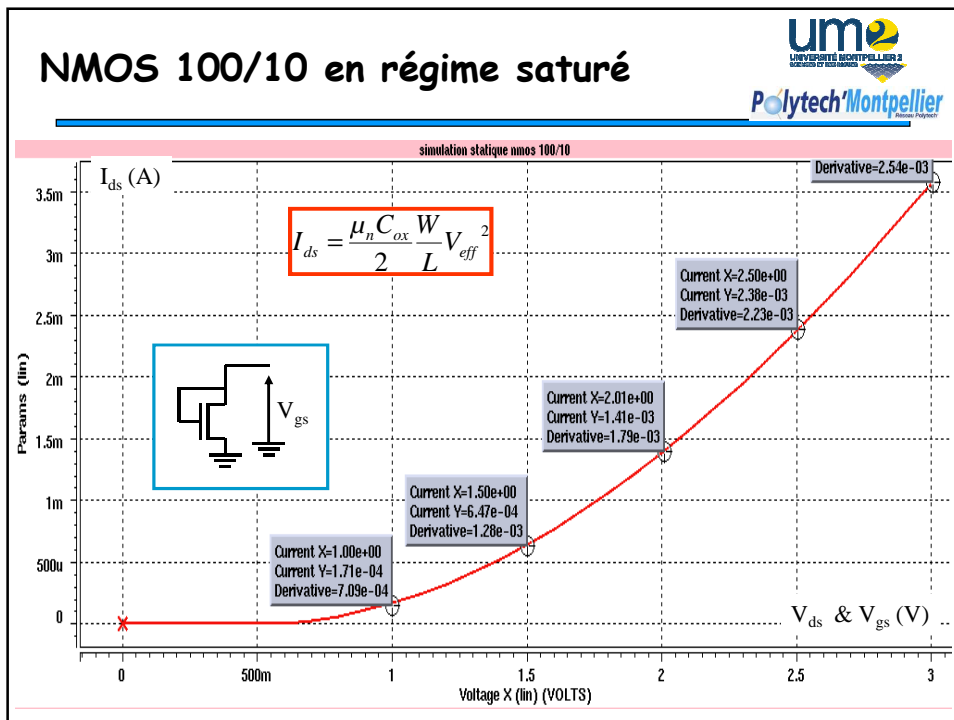
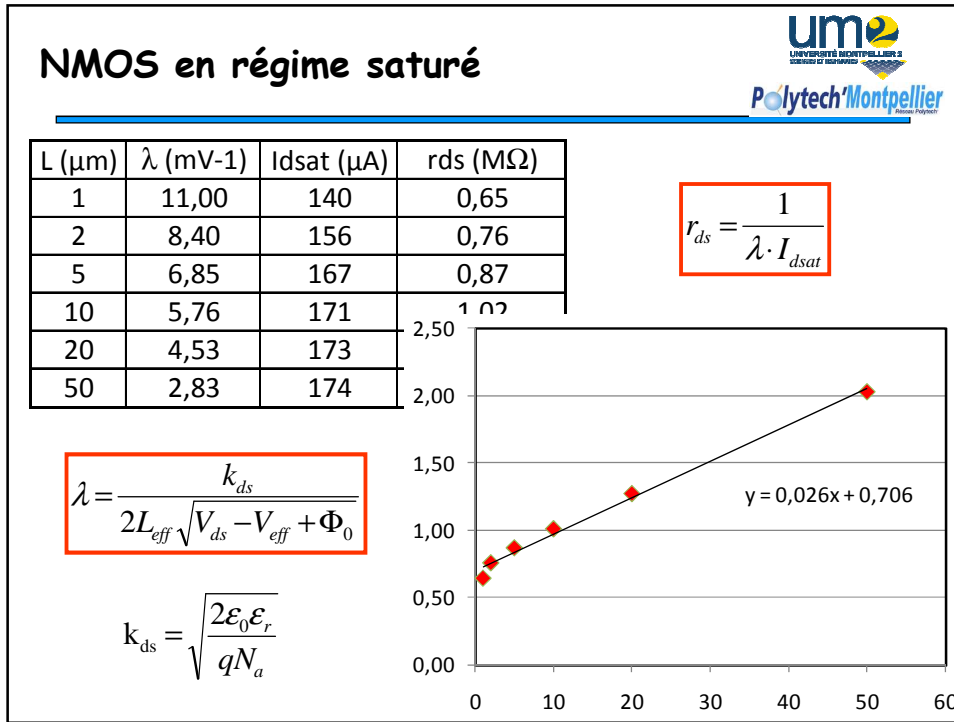
PMOS en régime saturé





*** parameter length	=	1.0000u	***
lambda=		2.9036E-02	idsat= 1.9099E-05
*** parameter length	=	2.0000u	***
lambda=		1.3250E-02	idsat= 2.1894E-05
*** parameter length	=	5.0000u	***
lambda=		5.7380E-03	idsat= 2.4358E-05
*** parameter length	=	10.0000u	***
lambda=		2.9607E-03	idsat= 2.5252E-05
*** parameter length	=	20.0000u	***
lambda=		1.5116E-03	idsat= 2.5712E-05
*** parameter length	=	50.0000u	***
lambda=		6.2182E-04	idsat= 2.5992E-05

Tracer de $r_{ds}=f(L)$

Extraire la variation de Lambda en fonction de L







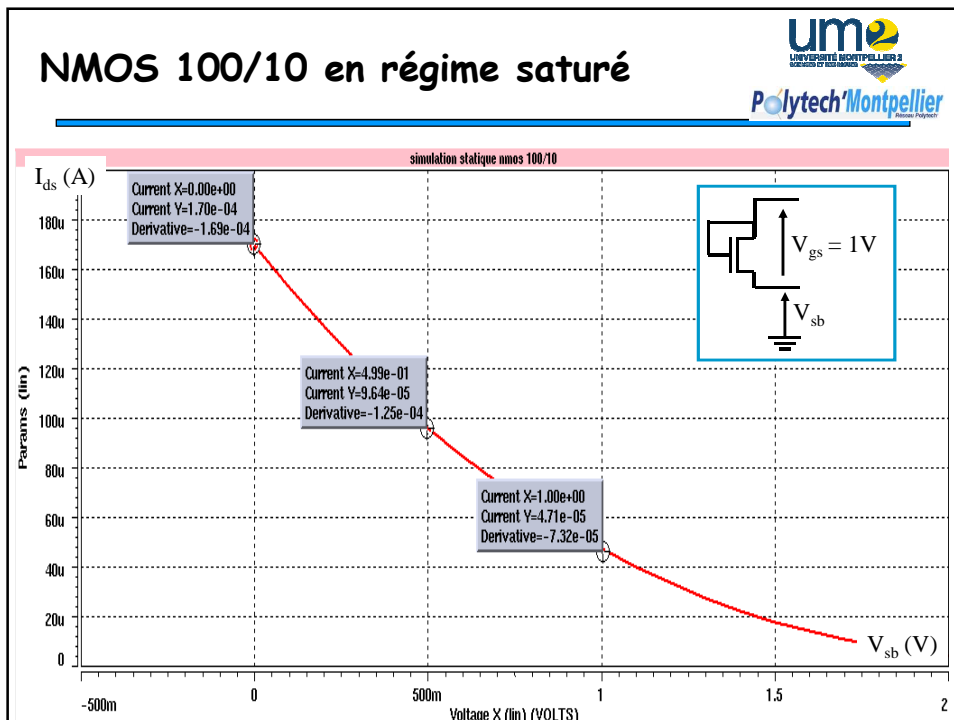
NMOS 100/10 en régime saturé

V_{eff} (V)	0.5	1	2
I_{dsat} (μA)	171	647	2380
dI_{ds}/dV_{gs} (mA/V)	0.709	1.28	2.23
$\mu_n C_{ox} \cdot W/L$	1.42e-3	1.28e-3	1.12e-3
$\mu_n C_{ox} \cdot W/L$	1.37e-3	1.29e-3	1.19e-3

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} = \mu_n C_{ox} \frac{W}{L} V_{eff} \Rightarrow \mu_n C_{ox} \frac{W}{L} = \frac{g_m}{V_{eff}}$$

$$I_{dsat} = \frac{\mu_n C_{ox} W}{2 L} V_{eff}^2$$

$\mu_n \cdot C_{ox} = 110 \text{ à } 140 \mu A/V^2$



NMOS 100/10 en régime saturé



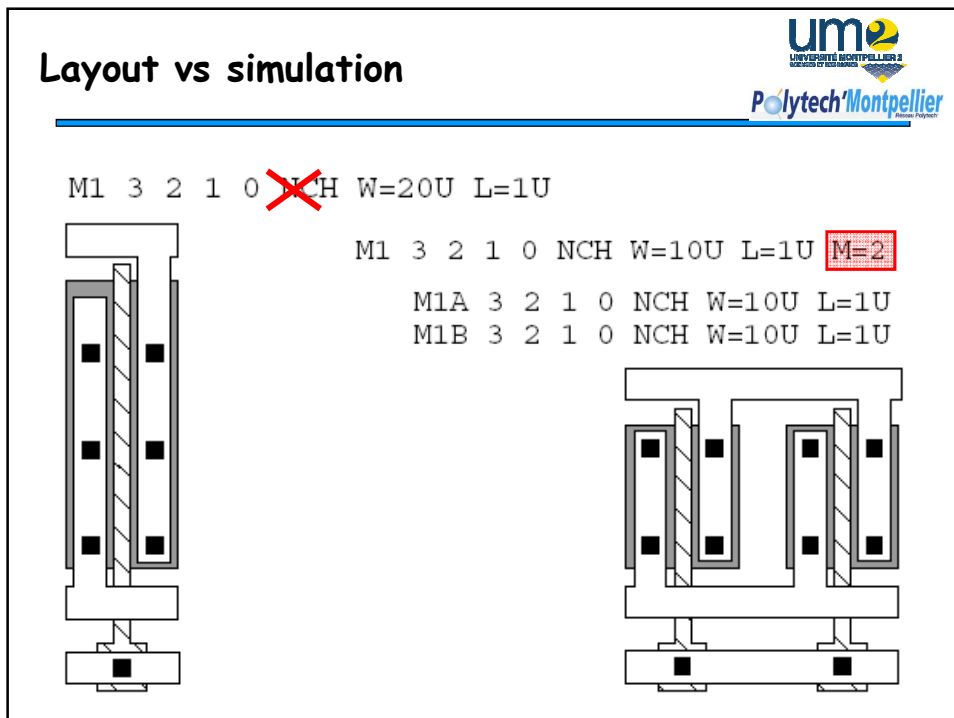
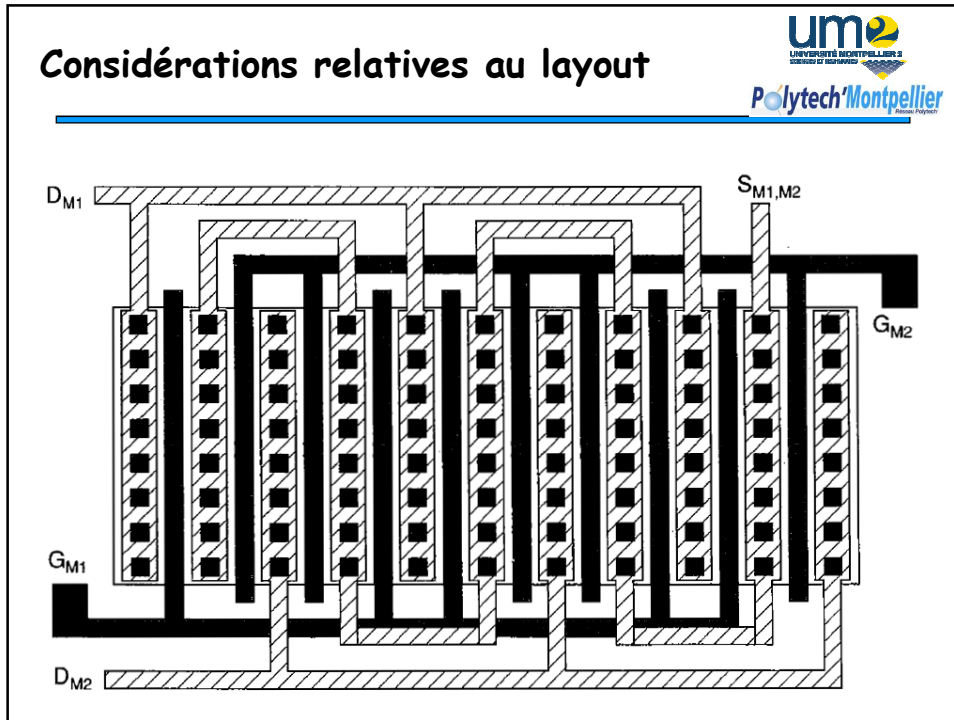
V_{sb} (V)	0	0,5	1
I_{dsat} (μA)	170	96.4	47.1
$-dI_{ds}/dV_{sb}$ ($\mu A/V$)	169	125	73.2
$g_m @ V_{eff}=0,5V$	709 $\mu A/V$		
α	0.24	0.18	0.1

$$-\frac{\partial I_{ds}}{\partial V_{sb}} = g_s = \frac{\gamma \cdot g_m}{2\sqrt{V_{sb} + |2\phi_f|}} = \alpha \cdot g_m \cong \frac{g_m}{5}$$

Plan



- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
 - Carte modèle du NMOS
 - Transistor MOS à canal N
 - Caractéristiques statiques
 - Simulation vs modèle au 1er ordre
 - En régime linéaire
 - En régime saturé
 - Layout vs simulation
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor

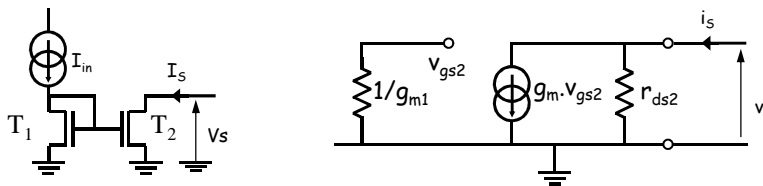


Plan



- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
 - Miroir de courant simple
 - Miroir de courant à source dégénérée
 - Miroir de courant cascode
 - Miroir de courant de Wilson
 - Les miroirs de courant PMOS
- Les sources de courant
- Les amplificateurs à un transistor

Miroir de courant



- Polarisation en fort signal → calcul de W/L

- T2 doit agir en source de courant
 - Forte résistance de sortie - régime saturé
 - Pire cas : $V_{ds} > X \Rightarrow V_{eff} < X$

- T1 est saturé ($V_{gs} = V_{ds}$)


- Courant de saturation :


$$I_{dsat} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} V_{eff}^2 = I_{in}$$

- Techno utilisée

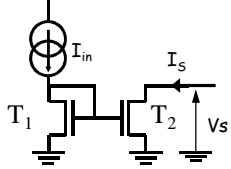
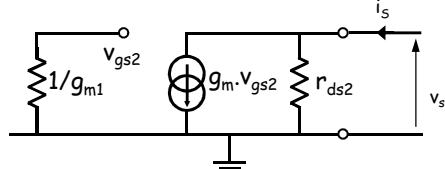
→ calcul de W/L minimum

$$\frac{W}{L} > \frac{2I_{in}}{\mu_n C_{ox} X^2}$$






Evolution de la résistance de sortie





- Comportement petit signal
→ stabilité du courant

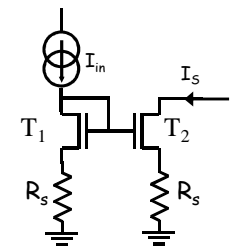
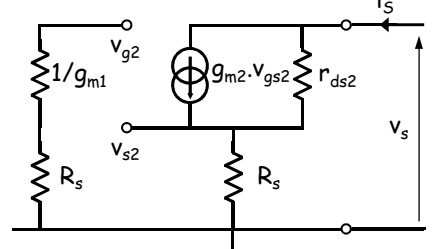
$$\frac{i_s}{v_s} = \frac{1}{r_{ds2}} = \frac{\partial I_{ds}}{\partial V_{ds}} \cong \lambda I_{dsat}$$

- r_{ds} augmente avec la longueur du MOS ; $\lambda = f(L^{-1})$
- r_{ds} augmente lorsque I_{dsat} diminue





Miroir à sources dégénérées

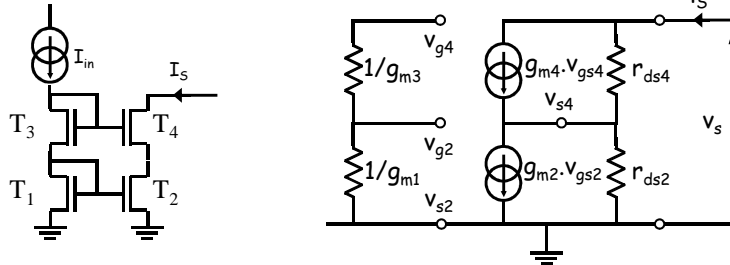



- T_2 doit être saturé

$$I_{dsat} = \frac{\mu_n C_{ox} W}{2L} V_{eff}^2 = I_{in} \quad V_s > R_s I_{in} + V_{eff} \quad \frac{v_s}{i_s} \cong r_{ds2} (1 + g_{m2} R_s)$$

- Effet substrat $\Rightarrow \frac{v_s}{i_s} \cong r_{ds2} [1 + (g_{m2} + g_s) R_s]$

Miroir cascode

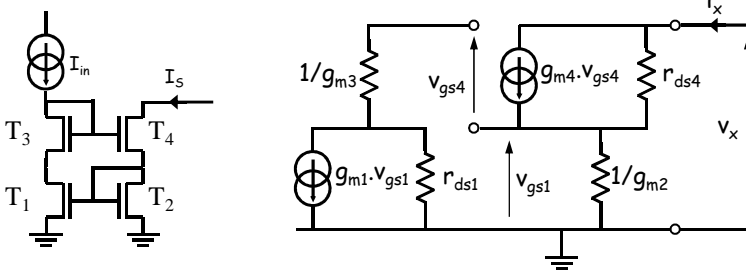


- T_2 et T_4 doivent être saturés

$$I_{dsat} = \frac{\mu_n C_{ox} W}{2L} V_{eff}^2 = I_{in} \quad V_S > V_{in} + 2 \cdot V_{eff} \quad \frac{v_S}{i_s} \cong g_{m4} r_{ds2} r_{ds4}$$

- Effet substrat $\Rightarrow \frac{v_S}{i_s} \cong (g_{m4} + g_{s4}) r_{ds2} r_{ds4}$


Miroir wilson



- T_1 et T_4 doivent être saturés

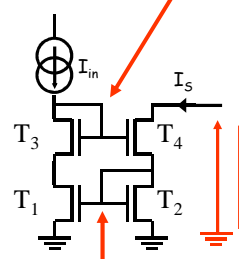
$$I_{dsat} = \frac{\mu_n C_{ox} W}{2L} V_{eff}^2 = I_{in} \quad V_S > V_{in} + 2 \cdot V_{eff} \quad \frac{v_S}{i_s} \cong g_{m4} r_{ds1} r_{ds4}$$

- Effet substrat $\Rightarrow \frac{v_S}{i_s} \cong (g_{m4} + g_{s4}) r_{ds1} r_{ds4}$



Miroir wilson

$$V_{gs4} = V_{tn} + V_{eff} \Rightarrow V_{g3} = V_{gs1} + V_{gs4} = 2 \cdot V_{tn} + 2 \cdot V_{eff}$$




$$V_{ds4} > V_{gs4} - V_{tn} = V_{eff}$$

$$\Rightarrow V_{d4} > V_{gs1} + V_{eff} = V_{tn} + 2 \cdot V_{eff}$$

$$V_{gs1} = V_{gs2} = V_{tn} + V_{eff}$$

$$V_{eff} = \sqrt{\frac{2I_{in}}{\mu_n C_{ox} \frac{W}{L}}}$$



Plan

- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
 - Miroir de courant simple
 - Miroir de courant à source dégénérée
 - Miroir de courant cascode
 - Miroir de courant de Wilson
 - Les miroirs de courant PMOS
- Les sources de courant
- Les amplificateurs à un transistor

Plan

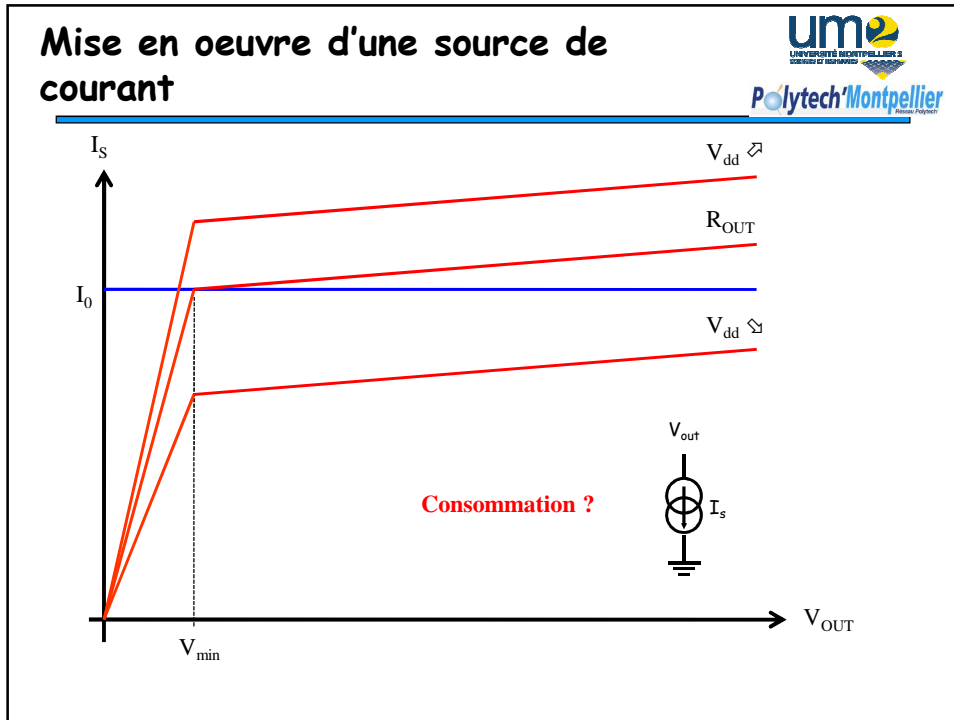


- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
 - Mise en oeuvre d'une source de courant
 - Sensibilité à V_{dd} des structures élémentaires
 - Réduction de la sensibilité à V_{dd}
 - Augmentation de la dynamique de sortie
- Les amplificateurs à un transistor

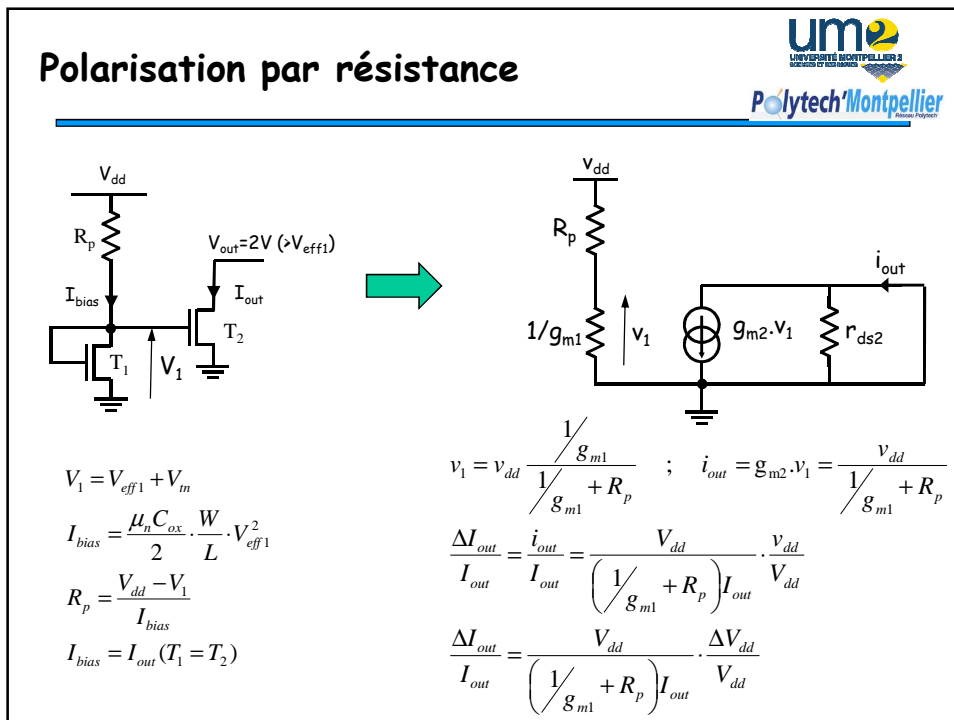
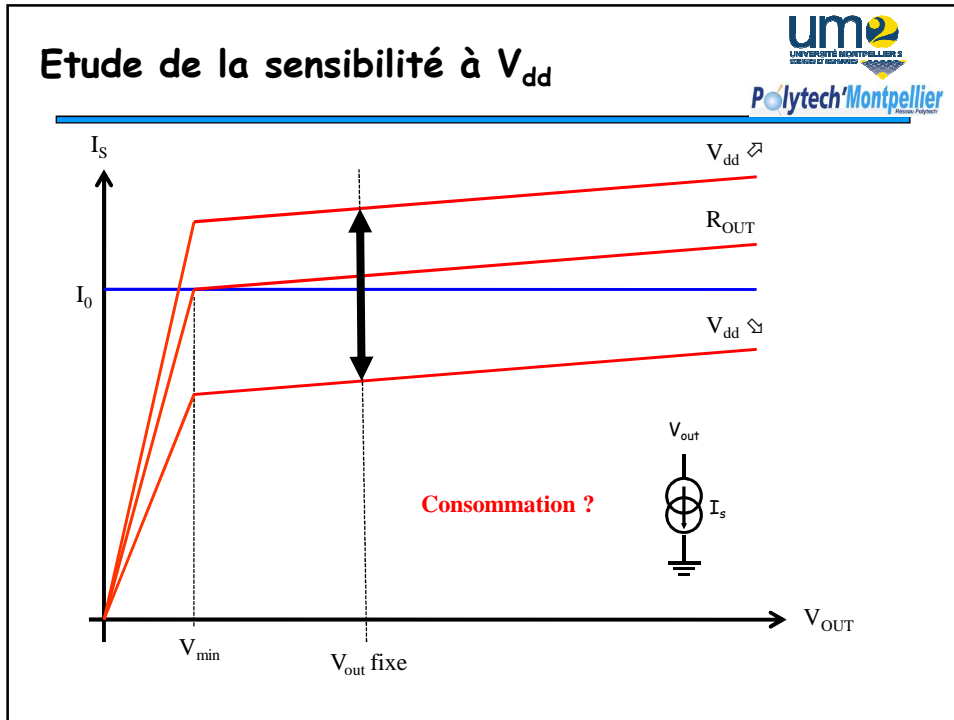
Mise en oeuvre d'une source de courant





- Qu'est-ce qu'une bonne source de courant ?
- Un générateur délivrant un courant constant quelque soit :
 - La tension à ses bornes,
 - Résistance de sortie élevée
 - Dynamique de sortie élevée
 - La tension d'alimentation,
 - La température,
 - ...

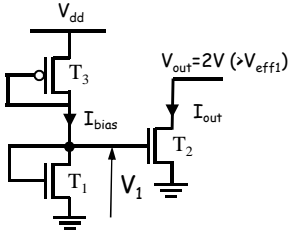
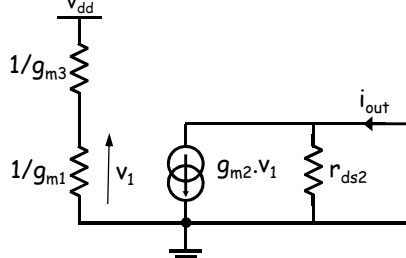


- ### Plan
- Rappels de physique du composant
 - Modélisation du transistor MOS
 - Simulation électrique
 - Les Miroirs de courant
 - Les sources de courant
 - Mise en oeuvre d'une source de courant
 - Sensibilité à V_{dd} des structures élémentaires
 - Réduction de la sensibilité à V_{dd}
 - Augmentation de la dynamique de sortie
 - Les amplificateurs à un transistor
- UM2 UNIVERSITÉ MONTPELLIER 2
POLYTECH'Montpellier



Polarisation par transistor

$$V_1 = V_{eff1} + V_m$$

$$I_{bias} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W_1}{L_1} \cdot V_{eff1}^2$$

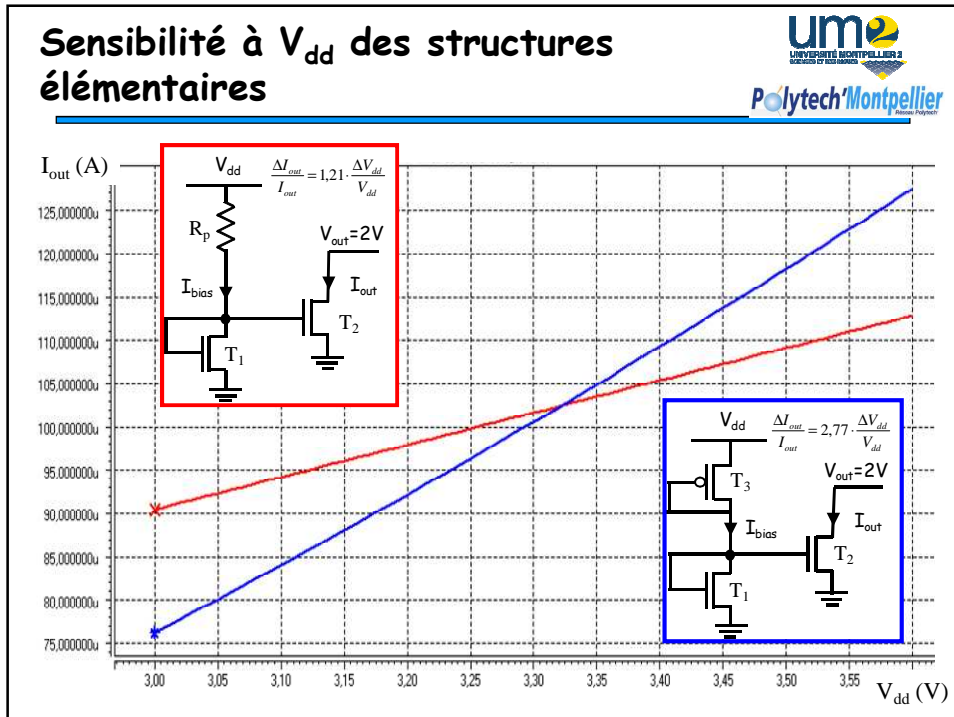
$$I_{bias} = \frac{\mu_p C_{ox}}{2} \cdot \frac{W_3}{L_3} \cdot (V_{dd} - V_1 - |V_{tp}|)^2$$

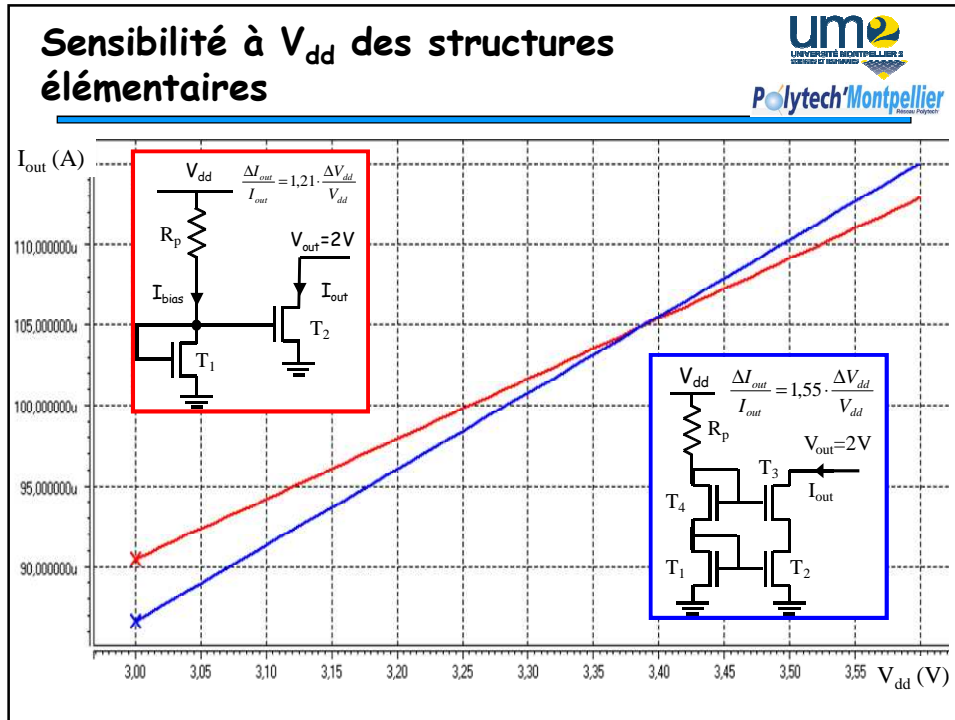
$$I_{bias} = I_{out} (T_1 = T_2)$$

$$v_1 = v_{dd} \frac{1/g_{m1}}{1/g_{m1} + 1/g_{m3}} ; \quad i_{out} = g_{m2} \cdot v_1 = \frac{g_{m1} g_{m3}}{g_{m1} + g_{m3}} v_{dd}$$

$$g_{m1} = \frac{2I_{bias}}{V_{eff1}} ; \quad g_{m3} = \frac{2I_{bias}}{V_{eff3}} \Rightarrow \frac{g_{m1} g_{m3}}{g_{m1} + g_{m3}} = \frac{2I_{bias}}{V_{eff1} + V_{eff3}}$$

$$\frac{\Delta I_{out}}{I_{out}} = \frac{i_{out}}{I_{out}} = \frac{2 \cdot V_{dd}}{V_{eff1} + V_{eff3}} \cdot \frac{v_{dd}}{V_{dd}} = \frac{2 \cdot V_{dd}}{V_{eff1} + V_{eff3}} \cdot \frac{\Delta V_{dd}}{V_{dd}}$$







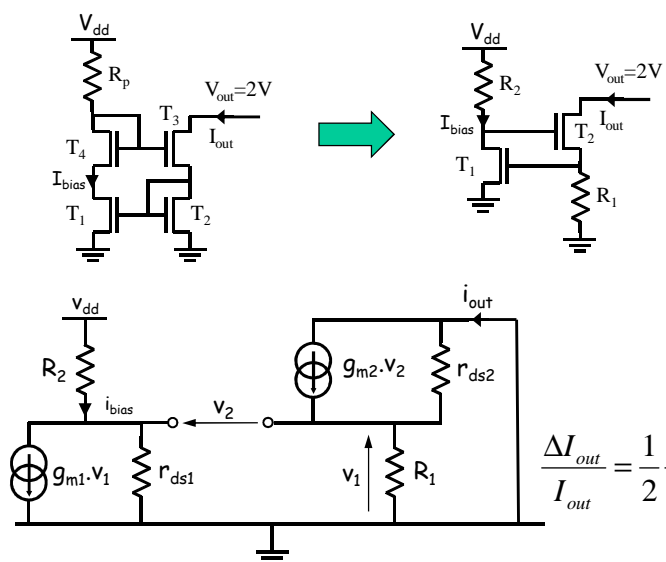
Plan

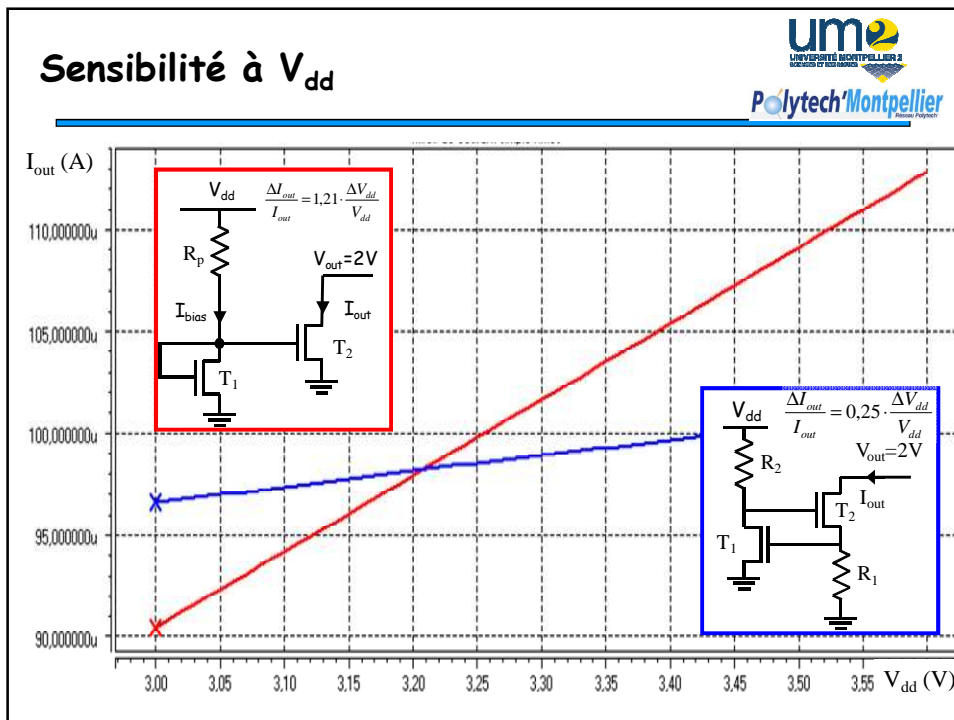
- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
 - Mise en oeuvre d'une source de courant
 - Sensibilité à V_{dd} des structures élémentaires
 - Réduction de la sensibilité à V_{dd}
 - Augmentation de la dynamique de sortie
- Les amplificateurs à un transistor

Source de courant à base de Wilson modifié





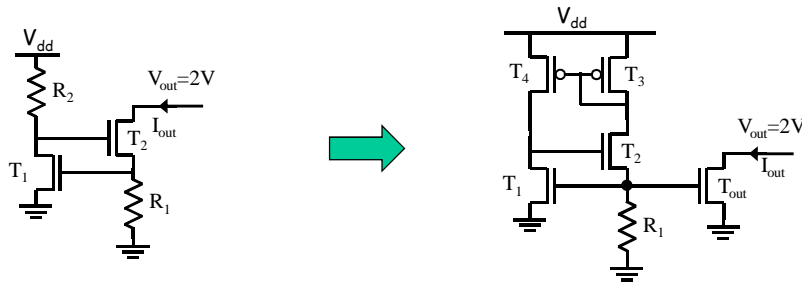


$$\frac{\Delta I_{out}}{I_{out}} = \frac{1}{2} \frac{V_{dd}}{R_2 I_{bias}} \frac{V_{eff1}}{V_{eff1} + V_{tn}} \frac{\Delta V_{dd}}{V_{dd}}$$


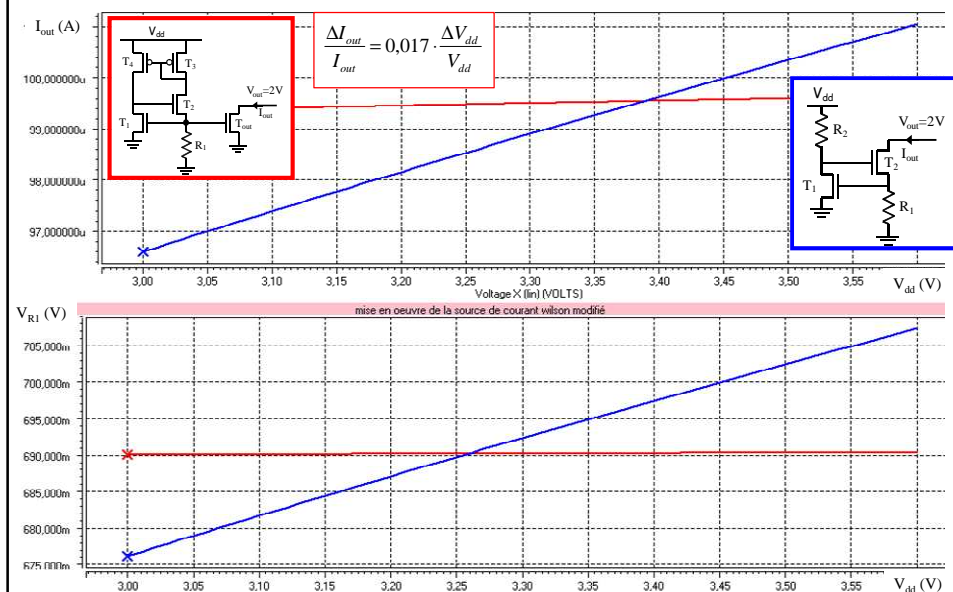
Source de courant à base de Wilson modifié (variante)




- Augmentation de la stabilisation du courant par augmentation de R_2 en petit signal
- La tension aux bornes de R_1 est indépendante (ou presque) de la tension d'alimentation




Sensibilité à V_{dd}

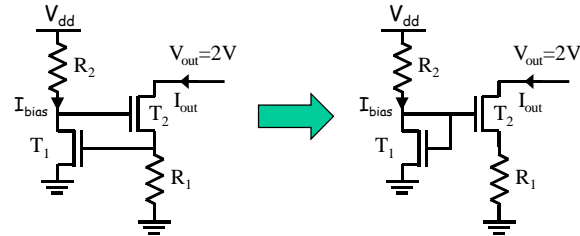


Autre source de courant stabilisée



UNIVERSITÉ MONTPELLIER 2
SCIENTIFIC INSTITUTES

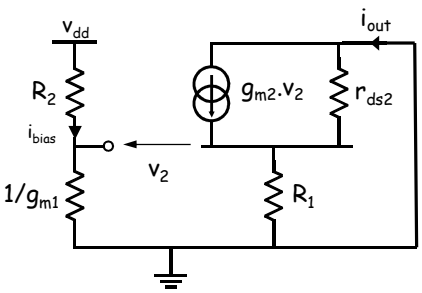




$$\frac{W_2}{L_2} = \alpha \cdot \frac{W_1}{L_1} (\alpha > 1)$$

$$V_{eff1} = V_{eff2} + V_R \text{ avec } V_R = R_1 \cdot I_{out}$$

$$V_{eff1} = \sqrt{\alpha} \cdot V_{eff2} (I_{bias} = I_{out})$$




$$v_2 = \frac{V_{dd}}{1 + g_{m1}R_2} - R_1 i_{out}$$


$$R_1 i_{out} + r_{ds2}(i_{out} - g_{m2}v_2) = 0$$

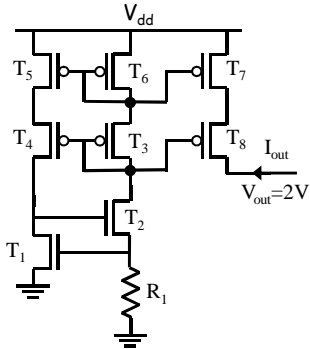
$$\frac{\Delta I_{out}}{I_{out}} = \frac{2 \cdot V_{dd}}{(1 + g_{m1}R_2)(1 + g_{m2}R_1)V_{eff2}} \frac{\Delta V_{dd}}{V_{dd}}$$

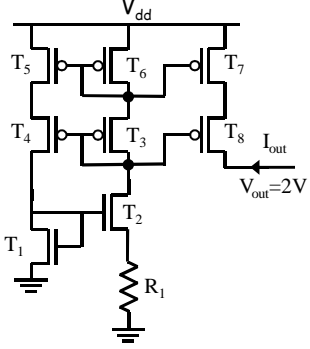
Augmentation de la résistance de sortie



UNIVERSITÉ MONTPELLIER 2
SCIENTIFIC INSTITUTES







Plan

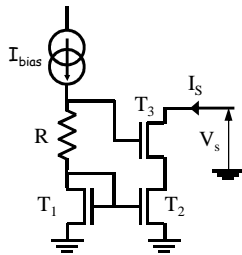


- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
 - Mise en oeuvre d'une source de courant
 - Sensibilité à V_{dd} des structures élémentaires
 - Réduction de la sensibilité à V_{dd}
 - Augmentation de la dynamique de sortie
- Les amplificateurs à un transistor

Augmentation de la dynamique de sortie



- Principe



$$V_{eff} = V_{gs} - V_{tn}$$

$$V_{ds1} = V_{gs1} = V_{eff} + V_{tn}$$

$$V_{gs3} = V_{ds1} + R \cdot I_{bias} - V_{s3} = V_{eff} + V_{tn}$$

$$\Rightarrow V_{ds2} = V_{s3} = R \cdot I_{bias} \geq V_{eff}$$

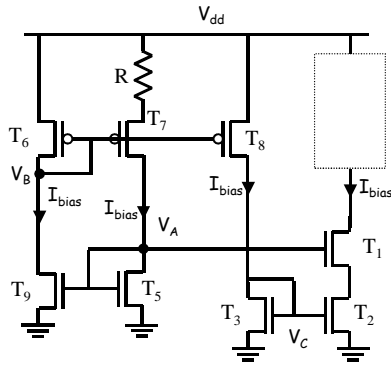
$$\Rightarrow V_{d3} > 2 \cdot V_{eff} \approx 0,4V$$

Compromis entre tension de sortie minimale et résistance de sortie élevée...

Augmentation de la dynamique de sortie



- Mise en œuvre : le miroir de courant cascode à large plage de fonctionnement



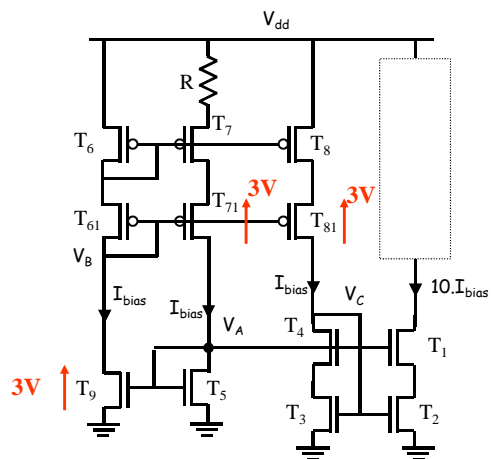
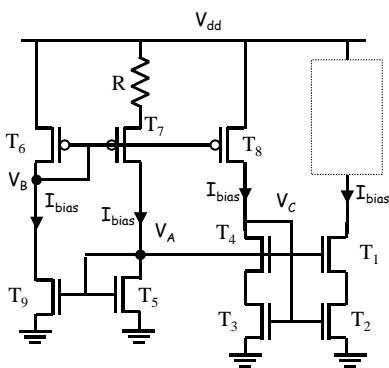
$$\frac{W_7}{L_7} = \alpha \cdot \frac{W_6}{L_6} \quad (\alpha > 1)$$

$$V_{eff\ 6} = V_{eff\ 7} + V_R \text{ avec } V_R = R \cdot I_{bias}$$

$$V_{eff\ 6} = \sqrt{\alpha} \cdot V_{eff\ 7}$$

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{W_3}{L_3} = 4 \cdot \frac{W_5}{L_5} = 4 \cdot \frac{W_9}{L_9}$$

Augmentation de la dynamique de sortie (variantes)



Mise en œuvre d'une source de courant



• Résumé

	Sensibilité à V_{dd}	Résistance de sortie	Plage de fonctionnement
Miroir simple	$\pm 25\%$	$625k\Omega$	$> 0,8V$
indépendante de V_{dd}	$\pm 2,3\%$	$500k\Omega$	$> 0,9V$
indépendante de V_{dd} + Cascode	$\pm 0,02\%$	$80M\Omega$	$> 1V$
indépendante de V_{dd} + Cascode large excursion	$\pm 9\%$ $\pm 2,25\%$	$3,54M\Omega$ $4,88M\Omega$	$> 0,3V$ $> 0,3V$

Plan

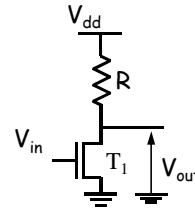
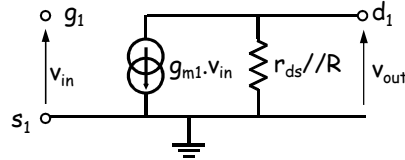


- Rappels de physique du composant
- Modélisation du transistor MOS
- Simulation électrique
- Les Miroirs de courant
- Les sources de courant
- Les amplificateurs à un transistor
 - Amplificateur source commune
 - Polarisation par résistance
 - Polarisation par source de courant
 - Polarisation par miroir de courant
 - Amplificateur à drain commun (source suivieuse)
 - Amplificateur à grille commune

Amplificateur source commune



- Polarisation par résistance



$$V_{in} = V_{dc} + v_{in} \cong V_{dc}$$

- Polarisation statique

- $V_{in} > V_{tn}$; $V_{in} - V_{tn} = V_{eff} < V_{out} \rightarrow V_{out} \neq V_{dd}/2$
- $V_{in}(dc) \rightarrow V_{eff1} \rightarrow W/L$ (choix de I_{bias})
- \rightarrow calcul de R (choix de V_{out})

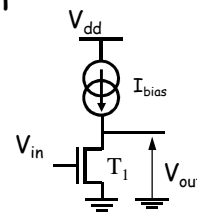
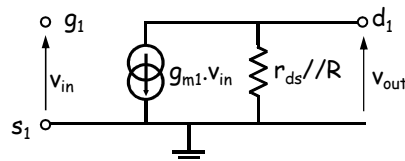
- Modèle petit-signal

- Gain, résistance d'entrée et résistance de sortie

Amplificateur source commune



- Polarisation par source de courant





- Polarisation statique

- $V_{in} > V_{tn}$; $V_{in} - V_{tn} = V_{eff} < V_{out}$; $V_{out} \neq V_{dd}/2$
- Calcul de W/L

- Modèle petit-signal

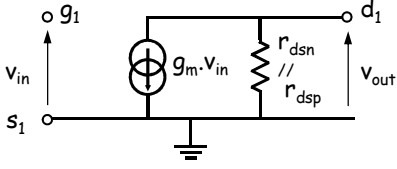
- Gain, résistance d'entrée et résistance de sortie

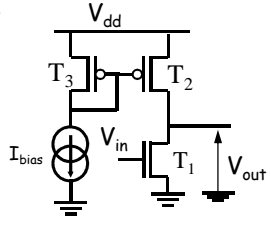





Amplificateur source commune


- Polarisation par miroir de courant



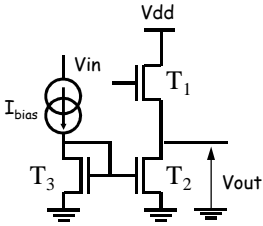


- Polarisation statique
 - $V_{in} > V_{tn}$; $V_{in} - V_{tn} = V_{eff} < V_{out}$; $V_{out} \neq V_{dd}/2$
 - Calcul de W/L et de R
- Modèle petit-signal
 - Gain, résistance d'entrée et résistance de sortie

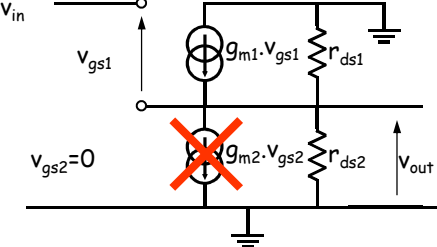




Amplificateur source suiveuse ou drain commun



Le choix judicieux de I_{bias} et des tailles de transistor permet de saturer tous les transistors. On peut alors représenter le schéma petit-signal équivalent.



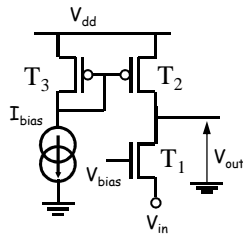
$$V_{gs1} = V_{in} - V_{out}$$

$$v_{out} = (r_{ds1} // r_{ds2}) \times g_{m1} \cdot v_{gs1}$$

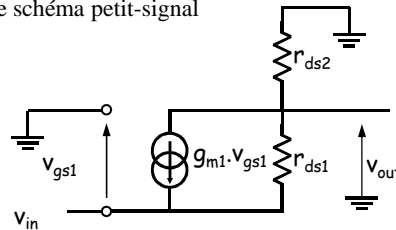
$$r_{ds1} // r_{ds2} = \frac{1}{\frac{1}{r_{ds1}} + \frac{1}{r_{ds2}}} = \frac{1}{g_{ds1} + g_{ds2}}$$

$$A_v = \frac{v_{out}}{v_{in}} = \frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{m1}}$$

Amplificateur à grille commune



Le choix judicieux de V_{bias} , I_{bias} et des tailles de transistor permet de saturer tous les transistors. On peut alors représenter le schéma petit-signal équivalent.



$$v_{gs1} = -v_{in}$$

$$g_{ds2} \cdot v_{out} + g_{ds1} \cdot (v_{out} - v_{in}) - g_{m1} \cdot v_{in} = 0$$

$$(g_{ds1} + g_{ds2}) \cdot v_{out} = (g_{ds1} + g_{m1}) \cdot v_{in} \quad A_v = \frac{v_{out}}{v_{in}} = \frac{g_{m1} + g_{ds1}}{g_{ds1} + g_{ds2}}$$

Résistance d'entrée ?

Références



- D. Johns and K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, Inc. 1997, ISBN 0-471-14448-7
- P. Allen and D. Holberg, "CMOS Analog Circuit Design", 2nd Edition, 2002, Oxford University Press, ISBN 0-19-511644-5
- B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw Hill, 2001, ISBN 0-07-238032-2
- P. Gray, P. Hurst, S. Lewis, and R.G. Meyer, "Analysis and Design of Analog Integrated Circuits", 4th Edition, John Wiley and Sons, 2001, ISBN 0-471-32168-0